

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of

Jun-young KIM et al.

Group Art Unit: Unassigned

Application No.: Unassigned

Examiner: Unassigned

Filing Date: February 18, 2004

Confirmation No.: Unassigned

Title: LIGHT-RECEIVING DEVICE, METHOD FOR MANUFACTURING THE SAME, AND  
OPTOELECTRONIC INTEGRATED CIRCUIT COMPRISING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Republic of Korea

Patent Application No(s): 10-2003-0011639

Filed: February 25, 2003

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.


Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

Date: February 18, 2004

By

  
Charles F. Wieland III

Registration No. 33,096



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011639  
Application Number

출원 년 월 일 : 2003년 02월 25일  
Date of Application  
FEB 25, 2003

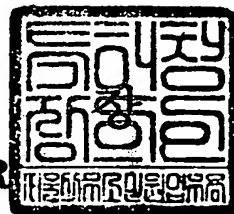
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      03      월      13      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2003.02.25
【국제특허분류】	G02B
【발명의 명칭】	수광소자 및 그 제조방법 및 이를 적용한 광전자 집적 회로
【발명의 영문명칭】	Light receiving device and method for manufacturing it and optoelectronic Integrated Circuit applied it
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	김준영
【성명의 영문표기】	KIM, Jun Young
【주민등록번호】	691008-1267829
【우편번호】	435-010
【주소】	경기도 군포시 당동 두산아파트 103동 302호
【국적】	KR
【발명자】	
【성명의 국문표기】	최병룡
【성명의 영문표기】	CHOI, Byoung Lyong
【주민등록번호】	620714-1000228

**【우편번호】** 137-063  
**【주소】** 서울특별시 서초구 방배3동 593-94 신성빌라 가동 103호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 이은경  
**【성명의 영문표기】** LEE, Eun Kyung  
**【주민등록번호】** 661012-2079613  
**【우편번호】** 442-370  
**【주소】** 경기도 수원시 팔달구 매탄동 우남퍼스트빌아파트 202동 502호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 이해영 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 25 면 25,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 50 항 1,709,000 원  
**【합계】** 1,763,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

기판과, 기판 상에 위치된 진성 영역과, 진성 영역에 얇은 깊이로 형성된 제1영역과, 제1영역과 이격되게 진성 영역에 깊은 깊이로 형성된 제2영역을 포함하며, 제1 및 제2영역은 서로 반대형으로 도핑된 것을 특징으로 하는 수광소자 및 그 제조방법 및 이를 적용한 광전자 집적 회로가 개시되어 있다.

개시된 수광소자는, 이동도가 느린 정공의 이동 거리를 짧게 할 수 있으므로, 응답 지연이 생기지 않아 고속 응답속도를 실현할 수 있다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

수광소자 및 그 제조방법 및 이를 적용한 광전자 집적 회로{Light receiving device and method for manufacturing it and optoelectronic Integrated Circuit applied it}

## 【도면의 간단한 설명】

도 1은 광픽업용 4분할 광검출기를 예를 들어 보인 도면,

도 2는 본 발명의 일 실시예에 따른 수광소자의 단면도,

도 3은 도 2에 도시된 본 발명에 따른 수광소자의 평면도,

도 4는 도 2의 주요 부분의 확대도,

도 5 내지 도 13은 본 발명에 따른 수광소자 제조방법의 일 실시예를 보인 제조 공정도면,

도 14a는 본 발명에 따른 수광소자를 적용한 광통신용 수광소자의 일 실시예를 개략적으로 보인 도면,

도 14b는 본 발명에 따른 수광소자를 적용한 광통신용 수광소자의 다른 실시예를 개략적으로 보인 도면,

도 15는 본 발명에 따른 수광소자를 적용한 광학 벤치의 일 실시예를 보인 도면,

도 16은 도 15의 개략적인 측단면도,

도 17은 본 발명에 따른 수광소자를 2차원 어레이로 배열한 구조의 광전자 집적 회로의 실시예를 개략적으로 보인 도면.

<도면의 주요부분에 대한 부호의 설명>

10...수광소자	10a,10b...수광영역
11...기판	13...분리층
15...진성 영역	17,19...제1 및 제2영역
21...제어막	23,25...제1 및 제2전극
27...실리콘 산화막	29...고립 영역

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 고속 응답 속도를 실현할 수 있는 수광소자 및 그 제조방법 및 이를 적용한 광전자 집적 회로(OEIC: optoelectronic Integrated Circuit)에 관한 것이다.
- <18> 실리콘 반도체 기판에는 논리 소자, 연산 소자 및 드라이브 소자 등을 높은 신뢰성을 가지고 고집적도로 집적할 수 있으며, 실리콘의 가격이 싸기 때문에 화합물 반도체에 비해 훨씬 저가로, 고집적 회로를 실현할 수 있는 이점이 있다. 따라서, 대부분의 집적 회로는 실리콘(Si)을 기본 재료로 사용하고 있다.
- <19> 이러한 실리콘으로 수광소자를 만들면, 광원의 광출력을 모니터링하기 위한 모니터링용 광검출기(MPD)가 형성된 실리콘 광학벤치, 광원과 광검출기가 모듈화된 광통신용 또는 광픽업용 광모듈 등의 다양한 광전자 집적 회로를 얻을 수 있다.
- <20> 이와 같이 광전자 집적 회로를 실현하고, 보다 응용성을 높이기 위해서는, 실리콘 수광소자의 응답 속도를 높여야 한다.

- <21> 수광소자 즉, 광검출기에 있어서, 응답 속도는 크게 진성영역(공핍 영역)에서의 정공(hole)과 전자의 주행 속도(transit time)와 도핑된 영역을 빠져나가는 확산속도에 영향을 받는다.
- <22> 실리콘 내에서의 캐리어(carrier)의 확산도(diffusivity)는 수학적 1에 나타낸 아인슈타인 관계식(Einstein relation)에서 구할 수 있다.
- <23> 
$$\frac{D}{\mu} = \frac{kT}{q}$$
**【수학적 1】**
- <24> 여기서, D는 캐리어의 확산도(diffusivity),  $\mu$ 는 캐리어의 이동도(mobility), k는 볼츠만 상수, T는 온도(K), q는 전하(charge)를 나타낸다.
- <25> 진성 실리콘(intrinsic Si)의 경우, 전자의 이동도(mobility)는 상온(300K)에서 1350 cm<sup>2</sup>/Vs(여기서, V는 volt, s는 초(second)를 의미), 정공의 이동도는 450 cm<sup>2</sup>/Vs로, 정공의 이동도가 전자의 이동도에 크게 떨어진다. 그러므로, 아인슈타인 관계식으로부터 확산도(D)도 정공이 전자보다 적음을 알 수 있다.
- <26> 진성영역에 작용하는 전기장을 크게 하기 위하여 빌트인 포텐셜(built in potential: 외부 전압이 없을 때 진성영역의 내부 전기장에 기인)을 크게 하고, 도핑층의 전도도를 향상시키기 위해 도핑 농도를 증가시키면, 정공의 이동도는 더욱 줄어들게 된다. 따라서, PIN형 광검출기의 경우, 고속 응답 속도를 실현하려면, 이동속도가 느린 정공이 주행하는 P 영역의 두께를 감소시킬 필요가 있다.
- <27> 한편, 광픽업에는 광정보 저장매체 예컨대, CD, DVD, HD-DVD와 같은 광디스크에 기록되어 있는 정보를 재생하거나, 기록/재생시 오차신호 예컨대, 포커스 오차신호 및 트랙킹 오차신호 등을 검출할 수 있도록 도 1에 예시한 바와 같이 복수개로 분할된 광검출



기가 사용된다. 도 1은 광픽업용 4분할 광검출기를 예를 들어 보인 것으로, 광픽업용 광검출기의 분할 구조는 다양하다.

<28>      도 1을 참조하면, 4분할 광검출기(1)의 각 분할영역 및 그 검출신호를 A, B, C, D라 할 때, 광픽업 관련 기술 분야에서 잘 알려져 있는 바와 같이, 비점수차법에 의한 포커스 오차신호(FES:Focus Error Signal)는  $FES=(A+C)-(B+D)$ 가 되고, 정보 재생신호(RF signal)는  $RF\ signal = (A+B+C+D)$ 가 된다. 푸시풀법에 의한 트랙킹 오차신호(TES:Tracking Error Signal)는  $TES=(A+B)-(C+D)$ 가 된다.

<29>      이와 같이, 광픽업에는 복수 분할 광검출기가 사용되는데, 광정보저장매체의 저장용량 증가 및 보다 고속의 데이터 처리 요구에 따라, 광픽업에는 응답 속도가 빠르고, 노이즈가 저감되어 감도 특성이 우수한 광검출기가 요구된다. 하지만, 기존의 광검출기를 n분할 구조로 제작할 경우에는, 고속 응답 속도 요구 및 노이즈 저감 문제 등이 해결되지 않으며, 이로 인해 집적화를 높여야 하는 각종 소자의 제작 예컨대, PDIC와의 일체형 제작에 많은 문제를 야기시킨다.

#### 【발명이 이루고자 하는 기술적 과제】

<30>      본 발명은 상기한 바와 같은 점을 감안하여 안출된 것으로, 고속 응답 속도를 실현할 수 있으며, 노이즈가 저감되어 감도 특성이 우수한 수광소자 및 그 제조방법 및 이를 적용한 광전자 집적 회로를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<31>      상기 목적을 달성하기 위한 본 발명에 따른 수광소자는, 기판과;

- <32>      상기 기판 상에 위치된 진성 영역과; 상기 진성 영역에 얇은 깊이로 형성된 제1영역과; 상기 제1영역과 이격되게 상기 진성 영역에 깊은 깊이로 형성된 제2영역;을 포함하며, 상기 제1 및 제2영역은 서로 반대형으로 도핑된 것을 특징으로 한다.
- <33>      여기서, 상기 제1영역은 p+형으로 도핑되어 있으며, 이 제1영역 상에는 제1영역과 불연속적으로 접하도록 패터닝된 전극;이 형성된 것이 바람직하다.
- <34>      상기 전극은 광을 투과시킬 수 있는 유전체 전극인 것이 바람직하다.
- <35>      상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 제어막 패턴이 형성되어 있으며, 상기 제1영역은 상기 제어막 패턴의 개구를 통하여 얇은 깊이로 형성되며, 상기 유전체 전극은 상기 제어막 패턴의 개구부분에서 상기 제1영역과 접하도록 된 것이 바람직하다.
- <36>      여기서, 상기 제어막은 실리콘 산화막인 것이 바람직하다.
- <37>      상기 기판 상에 형성되어 전기적인 절연을 제공하기 위한 분리층;을 더 구비하며, 상기 기판과 진성 영역 사이는 상기 분리층에 의해 전기적으로 절연되는 것이 바람직하다.
- <38>      상기 분리층은 상기 기판 표면에  $O_2$ 를 주입하여 형성된 것이 바람직하다.
- <39>      상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성되는 것이 바람직하다.
- <40>      복수의 수광 영역을 구비하는 구조이고, 각 수광 영역에는 진성 영역, 제1 및 제2영역이 위치되며, 상기 수광 영역들 사이에는 수광 영역들을 서로 절연하기 위한 고립영역이 형성된 것이 바람직하다.

- <41>      상기 고립 영역은 절연막과 폴리 실리콘(poly-Si)으로 이루어질 수 있다.
- <42>      상기 수광소자는 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나로 적용될 수 있다.
- <43>      상기 목적을 달성하기 위하여 본 발명은, 기판 상에 형성된 광을 수신하기 위한 적어도 하나의 수광소자를 포함하는 광전자 집적 회로에 있어서, 상기 수광소자는, 상기 기판 상에 위치한 진성 영역과; 상기 진성 영역에 얇은 깊이로 형성된 제1영역과; 상기 제1영역과 이격되게 상기 진성 영역에 깊은 깊이로 형성된 제2영역;을 포함하며, 상기 제1 및 제2영역은 서로 반대형으로 도핑된 것을 특징으로 한다.
- <44>      상기 광전자 집적 회로는, 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광 모듈, 광픽업용 광모듈, 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나로 사용될 수 있다.
- <45>      상기 목적을 달성하기 위한 본 발명에 따른 수광소자 제조방법은, 기판을 준비하는 단계와; 상기 기판 위에 진성 영역을 형성하는 단계와; 상기 진성 영역에 서로 이격되고, 각각 얇은 깊이 및 깊은 깊이이고, 서로 반대형으로 도핑된 제1 및 제2영역을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- <46>      여기서, 상기 제1영역은 p+형으로 도핑 형성되며, 상기 제1영역 상에 제1영역과 불연속적으로 접하도록 패터닝된 전극을 형성하는 단계;를 더 포함할 수 있다.

- <47>      상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 실리콘 제어막 패턴을 형성하는 단계;를 더 포함하며, 상기 제어막 패턴의 개구를 통하여 얇은 깊이의 제1영역을 형성하는 것이 바람직하다.
- <48>      상기 제어막 패턴의 개구 부분에서 상기 제1영역과 접하도록 유전체 전극을 형성하는 단계;를 더 포함하는 것이 바람직하다.
- <49>      상기 진성 영역을 형성하기 전에 상기 기판 상에 전기적인 절연을 제공하기 위한 분리층을 형성하는 단계;를 더 포함하며, 상기 기판과 진성 영역 사이는 상기 분리층에 의해 전기적으로 절연되는 것이 바람직하다.
- <50>      상기 진성 영역 및 제1 및 제2영역을 구비하는 수광영역들 사이를 서로 절연하기 위한 고립 영역을 형성하는 단계;를 더 포함하여, 1차원 또는 2차원으로 배열된 복수의 수광 영역을 갖는 수광소자를 형성하는 것이 바람직하다.
- <51>      이하, 첨부된 도면들을 참조하면서, 본 발명에 따른 실리콘 수광소자 및 이를 구비한 광전자 집적 회로의 바람직한 실시예를 상세히 설명한다.
- <52>      도 2는 본 발명의 일 실시예에 따른 수광소자의 단면도이고, 도 3은 도 2에 도시된 본 발명에 따른 수광소자의 평면도이다. 도 4는 도 2의 주요 부분의 확대도이다.
- <53>      도면들을 참조하면, 본 발명에 따른 수광소자(10)는 기판(11)과, 상기 기판(11) 상에 위치한 진성 영역(15)과, 진성 영역(15)에 얇은 깊이로 형성된 제1영역(17)과, 상기 제1영역(17)과 이격되게 진성 영역(15)에 깊은 깊이로 형성된 제2영역(19)을 포함하여 구성된다. 또한, 본 발명에 따른 수광소자(10)는, 이 기판(11) 상에 전기적인 절연을 제공하기 위한 분리층(13)을 더 구비하는 것이 바람직하다.

- <54>      상기 기판(11)으로는 실리콘에 기반을 둔 기판(11)을 사용하는 것이 바람직하다.  
예를 들어, 상기 기판(11)으로는 p형 또는 n형의 실리콘 기판을 사용할 수 있다.
- <55>      상기 분리층(13)은 기판(11)과 진성 영역(15) 사이를 전기적으로 절연시킨다. 상기 분리층(13)은  $O_2$ 를 임플란테이션(implantation)에 의해 기판(11) 표면에 주입하여 형성되는 것이 바람직하다.
- <56>      상기 분리층(13)을  $O_2$ 를 임플란테이션(implantation)에 의해 형성하는 경우, 기판(11) 예컨대, p형 실리콘 기판(11)의 결정 구조 즉, 격자 구조는 살아 있으므로, 진성 영역(15)을 기판(11)을 이루는 물질과 동일 또는 유사한 격자 구조를 가지는 물질로 regrowth 하는 것이 가능하다.
- <57>      상기와 같이 기판(11)과 진성 영역(15) 사이를 분리층(13)에 의해 전기적으로 절연시켜, 분리층(13) 상에 수광소자(10)로서 기능을 하는 나머지 구성을 형성하면, 상기 기판(11)은 전기적인 특성이 불필요하므로, 도핑 농도 및 도핑 타입 등에 특별한 제한이 없다.
- <58>      따라서, 기판(11) 상에 분리층(13)을 구비하는 경우에는, 상기 기판(11)으로 일반적인 실리콘 광학 벤치(SiOB:Silicon Optical Bench)용 웨이퍼 예컨대, Si bare wafer를 사용할 수 있다. 물론, 상기 기판(11)으로는 실리콘을 이용하여 형성되는 IC용 실리콘 웨이퍼가 사용될 수도 있다.
- <59>      따라서, 실리콘 광학 벤치용 또는 일반적인 IC 형성용 실리콘 웨이퍼에 본 발명에 따른 수광소자(10)를 포함하는 광전자 집적 회로가 형성되며, 상기 분리층(13)은 웨이퍼 상의 수광소자(10)를 구성할 위치에만  $O_2$  임플란테이션을 행하여 형성된다.

- <60>       상기와 같이, 분리층(13)은 상기와 같은 웨이퍼에 직접적으로 본 발명에 따른 수광 소자(10)를 형성할 수 있도록 한다.
- <61>       또한, 상기 분리층(13)은 본 발명에 따른 수광소자(10)를 단일 기판(11) 상에서  $n$  분할 구조(여기서,  $n$ 은 2 이상의 정수)의 복수의 수광영역을 가지도록 형성하거나 본 발명에 따른 수광소자(10)를 어레이로 형성하기 위한 전기적인 절연을 제공한다.
- <62>       상기와 같이 분리층(13)을 구비함에 의해, 본 발명에 따른 수광소자(10)는 복수의 수광영역을 가지는 구조로 형성될 수 있다. 또한, 본 발명에 따른 수광소자(10) 복수개가 1차원 또는 2차원 어레이로 배열된 구조로 형성될 수도 있다.
- <63>       상기 진성 영역(15)은 분리층(13) 상에 실리콘에 기반을 둔 물질을 regrowth하여 형성되는 것이 바람직하다. 상기 진성 영역(15)은 기판(11)과의 격자 정합(lattice match)을 위해 상기 기판(11)과 동일 또는 유사한 물질 예를 들어, Si, Sic 또는 다이아몬드로 이루어질 수 있다.
- <64>       상기 진성 영역(15)의 두께는 본 발명에 따른 수광소자(10)의 검출 파장에 따라 달라진다. 본 발명에 따른 수광소자(10)에 의해 청색 파장을 검출하고자 하는 경우에는 진성 영역(15)은 비교적 얇게 형성해도 되며, 이보다 긴 파장의 광을 검출하고자 하는 경우에는 진성 영역(15)의 두께를 좀더 두껍게 하면 된다.
- <65>       또한, 상기 진성 영역(15)은 정공이 빠져나가는 시간을 고려하고, 너무 overgrowth 되는 경우, 격자 부정합(lattice mismatch) 확률이 증가되는 점을 고려하여 적정 두께로 형성되는 것이 바람직하다.

- <66> 예를 들어, 본 발명에 따른 수광소자(10)를 청색 파장 검출용으로 사용하고자 하는 경우에는, 상기 진성 영역(15)을 실리콘을 이용하여 예컨대,  $1\mu\text{m}$  정도의 두께로 형성하면 된다.  $400\text{nm}$  파장의 광에 대해 실리콘의 흡수계수는 대략  $10^5 \sim 10^6$ 이므로, 공핍층의 두께 즉, 진성 영역(15)의 두께를  $1\mu\text{m}$  정도로 형성해도 95% 이상의 충분한 흡수가 일어날 수 있다.
- <67> 이는 검출 파장에 따라 진성 영역(15)의 두께를 달리할 수 있으므로, 수광소자(10)를 형성하는데, 기판(11) 상의 수광소자(10)를 형성하고자 하는 위치에만 분리층(13)을 형성하는 부분 SIMOX(Separation by Implantation of Oxygen) 방법을 이용하는 것이 타당하다는 것을 보여준다.
- <68> 상기 제1영역(17)은 진성 영역(15)에 소정의 도판트 예컨대, 붕소(boron) 또는 알루미늄(Al), 갈륨(Ga) 등을 주입시켜 얇은(shallow) 깊이로 형성된 p+형의 도핑 영역으로, 얇은 확산(shallow diffusion) 공정, 보다 바람직하게는, 극도로 얇은 확산(ultra-shallow diffusion) 공정에 의해 p+형으로 도핑되는 것이 바람직하다. 여기서, 극도로 얇은 확산 공정에 의해 형성된 도핑 영역은 얇은 확산 공정에 의해 형성된 도핑 영역에 비해 깊이가 더 얇지만, 그 경계가 특별히 정해지는 것은 아니다. 따라서, 이하에서는 얇은 확산 공정으로 표현하고, 얇은 확산 공정이 극도로 얇은 확산 공정의 의미까지도 포함하는 것으로 간주한다.
- <69> 상기 제1영역(17)은 정공의 이동거리를 짧게 할 수 있도록 얇은 깊이 예컨대, 대략  $50\text{nm}$  정도의 깊이로 형성되는 것이 바람직하다.

- <70>       진성 영역(15) 상의 제1영역(17)을 형성할 위치에 후술하는 바와 같이, 실리콘 산화막으로 된 복수의 개구를 가지는 제어막(21) 패턴을 형성하고, 이 제어막(21) 패턴의 개구를 통하여 확산 공정을 진행하면 얇은 깊이의 제1영역(17)이 형성될 수 있다.
- <71>       여기서, 50nm 정도의 얇은 깊이로 도핑하는 것은 임플란테이션에 의해서도 가능하기 때문에, 상기 제1영역(17)은 임플란테이션 공정에 의해 형성될 수도 있다.
- <72>       상기 제2영역(19)은 상기 제1영역(17)과 이격되게 진성 영역(15)에 상대적으로 깊은(deep) 깊이로 형성된 n형 보다 바람직하게는, n+ 도핑 영역으로, 예를 들어, 깊은 확산 공정에 의해 형성되는 것이 바람직하다. 상기 제2영역(19)은 깊은 깊이로 형성되기 때문에, 일반적인 확산 공정을 이용하여 형성될 수 있다.
- <73>       상기와 같이 본 발명에 따른 수광소자(10)는 상기와 같이 진성 영역(15)에 제1 및 제2영역(17)(19)을 평면상으로 배치한 구조를 가진다.
- <74>       한편, 본 발명에 따른 수광소자(10)는 제1 및 제2영역(17)(19) 사이에 역바이어스 전압을 인가하고, 검출신호를 출력하기 위해 제1 및 제2영역(17)(19) 상에 각각 제1 및 제2전극(23)(25)을 더 구비한다.
- <75>       상기 제1전극(23)은 광을 투과시킬 수 있는 투명한 유전체 박막 예컨대, ITO 또는 ZnO으로 형성된 유전체 전극으로 형성되는 것이 바람직하며, 상기 제2전극(25)은 알루미늄(Al)과 같은 통상의 금속 전극으로 이루어질 수 있다.
- <76>       이때, p+형으로 도핑된 제1영역(17) 상에 형성되는 제1전극(23)은, 제1영역(17)과 불연속적으로 접하도록 패턴닝된 것이 바람직하다.



- <77> 제1전극(23)을 얇은 깊이의 도핑 영역인 제1영역(17) 상에 형성할 때 예컨대, ultra-shallow junction이 깨질 수 있지만, 이 경우에도 제1전극(23)과 접하지 않는 제1영역(17)부분에서는 junction이 파괴되지 않는다.
- <78> 따라서, 같이, 제1전극(23)을 제1영역(17)과 불연속적으로 접하도록 패터닝하는 경우에는, 제1전극(23)을 보통의 공정으로 올릴 수 있으므로, 양산성이 우수해진다.
- <79> 또한, 상기 제1전극(23)을 투명한 유전체 전극으로 형성하는 경우, 본 발명에 따른 수광소자(10)를 제1영역(17) 상에 제어막(21) 패턴을 그대로 두는 구조로 형성할 수 있으며, 이 경우 본 발명에 따른 수광소자(10)는 제어막(21) 패턴의 구조에 의해 광학적으로 파장선택성을 가진다.
- <80> 도 2 및 도 4는 본 발명에 따른 수광소자(10)가 상기 제1전극(23)과 교대로 제1영역(17)과 접하도록 패터닝된 제어막(21)을 구비하는 예를 보여준다.
- <81> 상기 제어막(21) 패턴은, 진성 영역(15) 상의 제1영역(17)을 형성할 위치에 예컨대, 실리콘 산화막을 형성한 다음, 확산 공정을 위한 복수의 개구 부분을 포토리소 그라피 공정을 이용하여 식각해내어, 단일 수광영역내를 살펴볼 때, 복수의 개구가 1차원 또는 2차원으로 배열된 마스크 구조로 형성될 수 있다. 이때, 상기 제어막(21) 패턴은 건식(dry) 공정과 습식(wet) 공정을 복합하여 형성된다.
- <82> 이때, 제1영역(17)은 상기 제1제어막(21) 패턴의 개구를 통해 얇은 확산(shallow diffusion) 공정 또는 임플란테이션 공정에 의해 붕소 또는 인을 주입하여 형성된다. 앞서 언급한 바와 같이, 상기 제1영역(17)은 얇은 확산 공정에 의해 형성되는 것이 바람직하며, 임플란테이션에 의해 형성될 수도 있다.

- <83>      상기 제어막(21)은 실리콘 산화막( $\text{SiO}_2$ )으로 형성된 것이 바람직하다.
- <84>      실리콘 산화막으로 된 상기 제어막(21) 패턴은 상기 제1영역(17)이 확산에 의해 얇은 깊이로 형성되도록 확산시 interstitial 공급원 역할을 하고, 외부 공정조건인 염소가스와 같은 할로젠원소에 의한 vacancy defect를 조절함으로써 확산 깊이를 제어하며, 또한 역바이어스에 의한 터널링을 감소시키는 역할을 한다.
- <85>      상기 실리콘 산화막 패턴은 원하는 깊이로 얇은 확산이 일어날 수 있도록 적정 두께로 형성되는 것이 바람직하다.
- <86>      확산 기술 분야에서 알려진 바에 의하면, 실리콘 산화막의 두께가 적정 두께(수천 Å)보다 두껍거나 저온이면, vacancy(빈자리)가 주로 확산에 영향을 미쳐 확산이 깊이 일어나게 되며, 실리콘 산화막의 두께가 적정 두께보다 얇거나 고온이면 Si self-interstitial(자기 틈새)이 주로 확산에 영향을 미쳐 확산이 깊이 일어나게 된다.
- <87>      그러므로, 실리콘 산화막을 Si self-interstitial 및 vacancy가 유사한 비율로 발생하는 적정 두께로 형성하면, Si self-interstitial과 vacancy가 서로 결합되어 도판트의 확산을 촉진하지 않게 되므로, 원하는 깊이의 얇은 도핑이 가능해진다. 여기서, vacancy 및 self-interstitial과 관련한 물리적인 성질은 확산과 관련한 기술분야에서는 잘 알려져 있으므로, 보다 자세한 설명은 생략한다.
- <88>      상기와 같이, 실리콘 산화막으로 된 제어막(21)은 interstitial 공급원 역할을 하며 vacancy defect 조절을 하는 역할을 하여, 제1영역(17)이 얇은 깊이로 확산 형성되도록 한다.

- <89>       상기와 같이 제1영역(17)을 형성할 위치에 복수의 개구를 가지는 실리콘 산화막으로 된 제어막(21) 패턴을 형성하고, 이 제어막(21) 패턴의 개수를 통해 확산 공정에 알은 깊이의 제1영역(17)을 형성하는 경우에는, 제어막(21) 패턴의 개구 형상 및 개구 배치에 따라 제1영역(17)이 1차원 또는 2차원 어레이의 다양한 형태로 형성될 수 있으며, 제1영역(17)이 형성된 영역 전체가 본 발명에 따른 수광소자(10)의 수광영역이 된다.
- <90>       도 4에서는 일 수광영역내에 제1영역(17)이 불연속적으로 복수개 위치되는 것으로 도시되어 있는데, 이러한 제1영역(17)의 불연속성 여부는 제어막(21) 패턴의 개구 사이에 위치한 제어막(21) 부분의 폭에 의해 좌우된다.
- <91>       즉, 제어막(21) 패턴의 개구를 통한 확산시, 도 4에 보여진 바와 같이, 측방향 확산(side diffusion)에 의해 제어막(21) 아래쪽에도 도핑 영역이 형성된다(B로 표시한 부분). 따라서, 제어막(21) 패턴의 개구 사이의 제어막(21) 부분의 폭을 충분히 줄여주면, 각 개구에 대응되는 위치에 형성된 제1영역(17)들이 서로 연결될 수도 있다.
- <92>       이러한 제어막(21) 패턴의 개구 사이에 위치한 제어막(21) 부분의 폭 및 제1영역(17)의 불연속적 여부는 설계 사항으로 다양한 변형이 가능하다.
- <93>       상기와 같이, 복수의 개구를 갖는 제어막(21) 패턴을 형성하고, 이 제어막(21) 패턴의 개구를 통하여 제1영역(17)을 형성하므로, 넓은 범위에 걸쳐 제1영역(17)을 형성하는 것이 가능하다. 따라서, 수광영역의 넓이는 원하는 바에 따라 다양하게 변형될 수 있다.
- <94>       또한, 제어막(21) 패턴의 개구를 통한 확산시, 도 4에 보여진 바와 같이, 제어막(21) 부분 아래쪽에도 확산 영역이 형성되므로(B로 표시한 부분), 제어막(21) 패턴의 개

구에서 제1영역(17)과 접하도록 제1전극(23)을 형성할 때, ultra-shallow junction이 깨진다해도, 제어막(21) 아래쪽에 형성된 확산 영역의 ultra-shallow junction은 깨지지 않으므로, 제1전극(23)을 보통으로 올리는 공정에 의해서도 본 발명에 따른 수광소자(10)를 제조할 수 있다. 따라서, 본 발명에 따른 수광소자(10)는 양산성이 우수하다.

<95> 도 2 및 도 4에 보여진 바와 같이, 제1전극(23)을 투명한 유전체 전극으로 형성하여, 제1전극(23)과 제어막(21)이 제1영역(17)과 교대로 접하도록 된 구조를 가지면, 제어막(21) 패턴의 주기에 의해 특정 파장영역의 광에 대한 파장 선택성을 높일 수 있어, 특정 파장영역의 광만을 수광할 수 있는 수광소자(10)를 실현할 수 있다.

<96> 상기와 같이 제어막(21) 패턴은 얇은 확산을 위한 interstitial 공급원 역할을 하며, 광학 박막으로서 역할을 한다.

<97> 또한, 상기 제어막(21) 패턴은 junction 파괴를 감소시키는 역할도 한다.

<98> 즉, 제어막(21) 패턴과 유전체로 된 제1전극(23)이 멀티 구조를 이루면, 제1전극(23)을 이루는 유전체 전극은 시트 저항(sheet resistance)을 지니고, 전류를 스프레딩(spreading)시키는 전극 역할을 하며, 이 전류가 제어막(21) 즉, 실리콘 산화막에 다다르면, 유전체를 중심으로 N전극 즉, 제2전극(25)과 고유전율을 가지는 물질이 삽입된 평행판 축전기처럼 된다.

<99> 따라서, 본 발명에 따른 수광소자(10)와 같이, 제1전극(23)과 제어막(21)이 제1영역(17)과 교대로 접하는 구조로 형성되면, 일반적인 실리콘 기판(11)에 전극이 붙어있는 경우에 비해, 캐패시턴스(capacitance)가 증가되고, ultra-shallow junction내에서 강한 역 바이어스에 따른 터널링 암전류(tunneling dark current)를 감소시켜 junction의

파괴를 막을 수 있다. 아울러 큰 전기장(E field)이 가해져도 이에 대한 내전압용량을 증가시키는 역할을 한다.

<100> 예를 들어, 실리콘 산화막과 유전체 전극으로 이루어진 부분에 걸리는 전기장은 유전체 전극만으로 이루어진 부분보다 줄게 된다. 제1영역(17) 즉, 얇은 P junction은 하이 도핑(high doping)되어 있으므로, 유전체 전극만으로 이루어진 부분은 역바이어스 전압에 의해 쉽게 터널링 즉, 암전류가 발생할 수 있고, electro migration이 발생할 수 있다. 알루미늄 전극의 경우 뚜렷한 스파이크가 발생한다.

<101> 하지만, 실리콘 산화막과 유전체 전극으로 이루어진 부분에서는 유전체 전극만으로 이루어진 부분보다 전기장이 줄어들게 되므로, 실리콘 산화막이 역바이어스 전압에 의한 터널링을 막아주는 역할을 하고, 일부 정전하를 축적함으로써 전체적인 전기장 분포의 균일도(uniformity)를 조절해준다.

<102> 여기서, 도 2 및 도 4에서는 본 발명에 따른 수광소자(10)가 광을 투과시킬 수 있는 유전체 전극으로 된 제1전극(23)과 제어막(21)이 제1영역(17)과 교대로 접하는 구조로 형성된 예를 보여준다. 본 발명에 따른 수광소자(10)는 제어막(21)이 제거된 구조로 형성될 수도 있는데, 이 경우에는 제1전극(23)은 제1영역(17)과 불연속적으로 접하도록 형성하고, 본 발명에 따른 수광소자(10)의 그 수광영역의 외주부분에서 제1전극(23) 패턴들이 서로 연결되도록 형성하면 된다.

<103> 본 발명에 따른 수광소자(10)에는 유효 수광영역 이외의 영역에서도 진성 영역(15)을 감싸도록 실리콘 산화막(27)이 형성된 것이 바람직하다. 이와 같이 진성

영역(15)을 감싸도록 실리콘 산화막(27)을 형성하는 경우, 진성 영역(15)의 노출을 방지하여, 암전류(dark current) 발생을 억제할 수 있다. 암전류 발생 억제를 위해 형성되는 실리콘 산화막(27)은 제어막(21)과 동시에 형성되거나, 별도의 공정을 통해 형성될 수도 있다.

<104> 한편, 본 발명에 따른 수광소자(10)는 도 2 및 도 3에 도시된 바와 같이, 복수의 수광영역(10a)(10b)을 구비하는 구조로 형성될 수 있다. 이때, 수광영역들(10a)(10b) 사이에는 그 수광영역들(10a)(10b)을 서로 절연하기 위해 고립 영역(29)이 형성된 것이 바람직하다.

<105> 상기 고립 영역(29)은 분리층(13)과 맞닿도록 형성되어 있다. 상기 고립 영역(29)은 절연막과 폴리 실리콘으로 이루어질 수 있다. 상기 고립 영역(29)은 수광영역들(10a)(10b) 사이를 전기적으로 분리하기 위해, 후술하는 도 8a 및 도 8b에서 알 수 있는 바와 같이, 먼저 실리콘 산화막 즉, 절연막을 트렌치에 형성하고 트렌치의 빈 공간에 폴리 실리콘(poly-Si)을 충전하는 구조로 형성될 수 있다.

<106> 도 2 및 도 3에서는 본 발명에 따른 수광소자(10)가 2개의 수광영역(10a)(10b)을 구비하는 구조로 형성된 예를 보여주는데, 이는 예시일 뿐으로, 본 발명에 따른 수광소자(10)를 3개 이상의 수광영역을 구비하는 구조나 단일 수광영역을 구비하는 구조를 가질 수도 있다.

<107> 상기한 바와 같은 본 발명에 따른 수광소자(10)에 따르면, 제2영역(19)에 접촉된 제2전극(25) 즉, N층에 접촉된 알루미늄 전극에 +전압을 가하고, 제1영역(17)에 접촉된 제1전극(23) 즉, P층과 접촉된 유전체 전극막에 -전압을 가한 상태에서,

광이 입사되면, 광은 진성 영역(15)에서 흡수되어 전자 정공쌍을 발생시키고, 가해진 역 바이어스 전압에 의하여, 발생된 전자는 +극인 제2전극(25)쪽으로 가속되고, 정공은 -극인 제1전극(23)쪽으로 가속되어 소거된다.

<108> 또한, 본 발명에 따른 수광소자(10)는, 서로 반대형으로 도핑된 제1 및 제2영역(17)(19)이 평면으로 배치되어 있고, 제1 및 제2영역(17)(19) 상에 각각 제1 및 제2전극(23)(25)이 형성되어 있어, 얇은 도핑 영역과 동일한 면에 대향 전극을 가지고, 전자와 정공을 대각선으로 소거시키는 구조이다.

<109> 이러한 본 발명에 따른 수광소자(10)에 따르면,  $p+$  도핑영역인 제1영역(17)의 두께가 얇기 때문에, 제1 및 제2전극(23)(25)에 역바이어스 전압 인가시 대략 수평 방향의 전기장에 의하여, 정공은 제1전극(23)까지 짧은 거리를 이동하고 전자는 깊은 깊이로 도핑된 제2영역(19) 상에 형성된 제2전극(25)까지 비교적 긴 거리를 이동하게 된다. 따라서, 정공과 전자 사이의 이동도(mobility) 차이에 의한 반응(response)의 지연(delay)이 적어져, 고속 응답 속도를 실현할 수 있다.

<110> 또한, 상기한 바와 같은 본 발명의 수광소자(10)에 따르면,  $p$ 영역 즉, 제1영역(17)의 두께가 일반적인 수광소자(10)에 비해 얇기 때문에 대부분의 광이 진성 영역(15)에서 흡수될 수 있으며, 진성 영역(15)이 전기적으로 실리콘 산화막에 의해 외부와 완전히 고립(isolation)되어 있으므로, 측면의 표면 재결합 암전류를 저감시킬 수 있어, 암 전류가 거의 발생하지 않는다.

<111> 또한, 제1전극(23)을 제1영역(17) 상에 형성하는데 ultra-shallow junction 파괴 등을 고려할 필요가 없으므로, 전극의 제작 조건에 특별한 제약이 없다.

<112> 또한, 본 발명에 따른 수광소자(10)는 유전체 물질로 된 제1전극(23)과 실리콘 산화막으로 된 제어막(21)이 제1영역(17)과 교대로 접하는 구조이므로, 과장선택성을 가지며, 과도한 역바이어스의 집중을 완화시킬 수 있다.

<113> 이하, 도 2 내지 도 4에 도시된 본 발명의 일 실시예에 따른 수광소자(10)의 경우를 예를 들어, 본 발명에 따른 수광소자(10) 제조방법을 설명한다. 이하에서는 복수의 수광영역(10a)(10b)을 가지는 수광소자(10) 제조방법의 예를 설명한다.

<114> 먼저, 도 5를 참조하면, 실리콘에 기반을 둔 기판(11) 예컨대, n형 또는 p형의 실리콘 기판(11)을 준비한다. 상기 기판(11)으로는 통상의 실리콘 광학 벤치용 웨이퍼를 사용할 수 있다. 대안으로, 상기 기판(11)으로는 일반적인 IC 형성용 실리콘 웨이퍼를 사용할 수도 있다.

<115> 그런 다음, 도 6에 도시된 바와 같이, 이 실리콘 기판(11) 표면상의 수광소자(10)를 구성할 위치에만 영역 분리를 위해  $O_2$ 를 임플란테이션하여 전기적인 절연을 제공하는 분리층(13)을 형성한다. 상기 기판(11)을 본 발명에 따른 수광소자(10)를 포함하는 광전자 집적 회로용 베이스로 사용하거나 본 발명에 따른 수광소자(10)를 복수 분할 구조로 형성하고자 하는 경우에는, 기판(11) 표면에 상기 분리층(13)을 형성할 필요가 있다. 물론, 본 발명에 따른 수광소자(10)가 단일 수광영역(10a)(10b)을 구비하는 구조로 형성되는 경우에, 이 분리층(13)을 형성하는 단계는 생략될 수 있다.

<116> 다음으로, 도 7에 도시된 바와 같이, 상기 기판(11)과 동일 또는 유사한 실리콘에 기반을 둔 물질 예컨대, 실리콘을 regrowth하여 진성 영역(15)을 형성한다. 이때, 진성 영역(15)은 수광하고자 하는 광의 파장을 고려하고, 격자 부정합이 발생하지 않도록 적정 두께로 형성한다.



- <117> 다음으로, 도 8a에 도시된 바와 같이, 진성 영역(15)의 고립 영역(29)을 형성할 위치에, 트렌치(trench:29')를 형성한 다음, 도 8b에 도시된 바와 같이, 수광영역(10a)(10b)을 형성하고자 하는 진성 영역(15) 상면을 포함하여 진성 영역(15)을 감싸도록 실리콘 산화막(27)을 형성한다. 실리콘 산화막(27)은 건식 산화 공정에 의해 형성되는 것이 바람직하다. 물론, 실리콘 산화막(27)은 제2영역(19)을 형성할 위치에는 형성되지 않는다.
- <118> 다음으로, 도 9에 도시된 바와 같이, 실리콘 산화막이 형성된 트렌치(29')의 빈공간에 폴리 실리콘을 충전하여 복수의 수광영역(10a)(10b)을 서로 전기적으로 절연하기 위한 고립 영역(29)을 분리층(13)과 맞닿도록 형성한다. 이때, 고립 영역(29)은 실리콘 산화막으로 된 절연막과 폴리 실리콘으로 형성된다.
- <119> 그후, 도 10에 도시된 바와 같이, 일반적인 N 타입 확산 공정을 진행하여 제2영역(19)을 형성한다. 제2영역(19)은 깊은 깊이로 형성되며, n+형으로 도핑된 것이 바람직하다.
- <120> 다음으로, 도 11에 도시된 바와 같이, 수광영역(10a)(10b)을 형성하고자 하는 위치에 복수의 개구(a)를 홀로그래피 공정을 이용하여 가공하여 제어막(21) 패턴을 형성한다.
- <121> 다음으로, 도 12에 도시된 바와 같이, 제어막(21) 패턴의 개구를 통하여 예컨대, 붕소를 확산시키면, p+형으로 도핑된 얇은 깊이의 제1영역(17)이 형성된다. 이때, 제어막(21)을 실리콘 산화막으로 형성하면, 얇은 확산 공정 보다 바람직하게는, 극도로 얇은 확산 공정이 진행되어, 제1영역(17)은 얇은 깊이로 형성되게 된다.

- <122> 일 수광영역내에서 제어막(21) 패턴에는 복수의 개구가 형성되어 있으므로, 일 수광영역내에는 복수의 제1영역(17)이 위치된다. 따라서, 원하는 수광영역의 넓이에 따라 제1영역(17)의 수는 달라진다. 또한, 개구 사이에 위치한 제어막(21) 부분의 폭을 적절히 하면, 각 개구를 통하여 형성된 제1영역(17)이 서로 연결될 수도 있다.
- <123> 다음으로, 도 13에 도시된 바와 같이, 제어막(21) 패턴의 개구 부분에서 제1영역(17)과 맞닿도록 유전체 물질로 제1전극(23)을 형성하고, 제2영역(19) 상에 금속 예컨대, 알루미늄으로 제2전극(25)을 형성한다. 상기 제어막(21) 패턴은 제1전극(23)을 형성하는데 마스크로서 역할을 한다. 제1전극(23)은 광을 투과시킬 수 있는 유전체 전극으로 형성된다.
- <124> 이때, 앞서 언급한 바와 같이, 제1전극(23)은 보통으로 올려도 되므로, 양산성이 우수하다.
- <125> 도 13에 도시된 바와 같이, 제어막(21)과 광을 투과시킬 수 있는 제1전극(23)이 교대로 제1영역(17)과 접하도록 된 멀티 구조로 형성하면, 본 발명에 따른 수광소자(10)는 제어막(21) 패턴의 광학 박막으로서 기능에 의해 파장 선택성을 가지게 되며, 이에 의해 특정 파장영역의 광만을 수광하는 것이 가능하다. 본 발명에 따른 수광소자(10)가 특정 파장의 광만을 수광하도록 하려면, 제어막(21) 패턴을 그 특정 파장에 맞는 주기로 형성하고, 진성 영역(15)을 그 특정 파장에 대한 충분한 흡수가 이루어질 수 있는 두께로 형성하면 된다. 따라서, 제어막(21) 패턴의 주기 및 진성 영역(15)의 두께 등은 원하는 바에 따라 선택된다.

- <126> 여기서, 제1전극(23)을 형성한 후에 제어막(21) 패턴은 제거될 수도 있다. 물론, 이와 같이 제어막(21) 패턴을 제거하는 경우에는 제1영역(17)과 접하도록 형성된 제1전극(23) 패턴들이 수광영역(10a)(10b) 외주에서 서로 연결되도록 형성하면 된다.
- <127> 이상에서는 본 발명에 따른 수광소자(10) 제조 공정을 예를 들어 설명하였는데, 이러한 제조공정은 본 발명의 기술적 사상의 범위내에서 다양한 변형이 가능함은 물론이다.
- <128> 이상에서 설명한 바와 같은 본 발명에 따른 수광소자(10)에 있어서, 기관(11)은 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 그 외의 수광소자를 구비하는 다양한 광학 벤치 및 하나 이상의 수광소자를 구비하는 다양한 광전자 집적 회로 중 적어도 어느 하나용 베이스로 사용될 수 있다.
- <129> 또한, 본 발명에 따른 수광소자(10)를 적용한 광전자 집적 회로는 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 그 외의 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나일 수 있다.
- <130> 도 14a 및 도 14b를 참조하면, 광통신용 수광소자(50)(70)는, 광신호를 수신하기 위한 것으로, 본 발명에 따른 수광소자(10)를 1개 또는 복수개 구비한 구조를 가질 수 있다. 도 14b에 나타낸 바와 같이, 본 발명에 따른 수광소자(10)를 복수개 구비하는 구조인 경우, 단일 기관(11)에 복수의 수광소자(10)가 어레이로 배치된다. 도 14b는 단일 기관(11)에 복수의 수광소자(10)가 일차원으로 배치된 예를 보여주는데, 사용 목적에 따

라 수광소자(10)의 수 및 배치는 달라질 수 있다. 이때, 기판(11)과 각 수광소자(10)의 진성 영역(15) 사이에는 전기적인 절연을 위한 상기한 분리층(13)이 위치되며, 수광소자들(10) 사이는 서로 이격되거나, 상기한 고립 영역(29)이 형성된다. 도 14b에서는 기판(11) 상의 복수의 수광소자(10)를 형성할 위치에 분리층(13)을 형성하고, 수광소자들(10) 사이는 이격되게 형성한 예를 보여준다.

<131>        도 14a는 광통신용 수광소자로 사용되는 대신에, 단일 수광소자를 구비하는 다른 용도의 광전자 집적 회로로 사용될 수도 있다. 또한, 도 14b는 광통신용 수광소자로 사용되는 대신에, 1차원 또는 2차원으로 배열된 복수의 수광소자를 구비하는 다른 용도의 광전자 집적 회로로 사용될 수도 있다.

<132>        광픽업용 수광소자는 본 발명에 따른 수광소자(10)를 도 1에 예시한 바와 같은 복수의 수광영역을 구비하는 구조로 형성하면 된다. 광픽업용 수광소자는 광디스크에 기록되어 있는 정보를 재생하거나, 서보 구현을 위한 오차신호 검출에 사용된다.

<133>        본 발명에 따른 광전자 집적 회로의 일 예로서의 광모듈은 광원으로서의 반도체 레이저와 본 발명에 따른 수광소자(10)가 단일 패키지 안에 마련된 것으로, 광통신용 광모듈은 광신호의 송신 및 수신 기능을 한다. 광픽업용 광모듈은 광을 광디스크 상에 조사하며 광디스크에서 반사된 광을 수광한다.

<134>        상기 광통신용 광모듈 및 광픽업용 광모듈은 본 발명에 따른 수광소자(10)의 기판(11)을 베이스로 사용하여 실리콘 광학 벤치(SiOB:Silicon Optical Bench) 형태로 마련될 수 있다.

<135> 도 15는 광학 벤치(100)의 일 예를 보여준다. 도 15에서 4분할 수광소자(110)는 본 발명에 따른 수광소자(10)를 2×2로 배치된 4개의 수광영역을 구비하는 구조로 형성한 것이다. 반도체 레이저(120)로 모서리 발광 레이저 다이오드를 구비하는 경우에는, 도 16에 보여진 바와 같이, 그 측면으로 출사되는 레이저광을 반사시켜 수직방향으로 진행 시키도록, 반도체 레이저(120) 안착부 주변에서 베이스(101)에 대략 45도로 경사지게 커팅된 반사면(130)을 형성하는 것이 바람직하다.

<136> 도 15에서는 광학 벤치(100)에 4분할 수광소자(110)를 구비하여, 광학 벤치(100)를 광픽업용 광모듈로 사용하는 예를 보여준다. 수광소자(100)를 단일 수광영역을 가지는 구조로 형성하거나, 도 14b를 참조로 설명한 바와 같이, 복수의 수광소자를 어레이로 배치하고, 이에 대응되게 반도체 레이저(120)를 어레이로 배치하여, 광학 벤치를 광통신용 광모듈로 사용하도록 형성하는 것도 가능하다.

<137> 도 17을 참조하면, 광전자 집적 회로의 다른 실시예로서, 본 발명에 따른 광전자 집적 회로(200)는 본 발명에 따른 수광소자(10)를 2차원 어레이로 배열한 구조로 형성될 수도 있다.

<138> 이와 같이 본 발명에 따른 수광소자(10)를 2차원 어레이로 배열한 구조의 광전자 집적 회로(200)는 예를 들어, 고체 촬상소자와 같은 촬상소자로 사용될 수 있다. 이때, 본 발명에 따른 수광소자(10)는 파장 선택성을 가지므로, 예를 들어, 한 화소당 본 발명에 따른 수광소자(10)를 3개 배치하고, 각 화소에 위치한 3개의 수광소자(10)가 각각 예컨대, 적색광(R), 녹색광(G), 청색광(B)을 선택하여 수광하도록 하면, 칼라 화상을 촬영할 수 있는 광전자 집적 회로를 구성할 수 있다.

<139> 물론, 본 발명에 따른 수광소자(10)의 파장선택성을 보다 완만하게 형성하여, 예를 들어, 적색광(R), 녹색광(G), 청색광(B)을 포함하는 가시광영역의 광을 수광할 수 있도록 형성된 본 발명에 따른 수광소자(10)를 2차원 어레이 구조로 배치하고, 이 2차원 어레이 구조의 광전자 집적 회로 앞단에 칼라 필터를 위치시킴에 의해서도 칼라 화상을 촬영하는 것이 가능하다.

<140> 이상에서는 본 발명에 따른 수광소자(10)를 포함하는 광전자 집적 회로의 일부 실시예를 설명하였는데, 이외에도 다양한 실시예가 가능하다.

#### 【발명의 효과】

<141> 상기한 바와 같은 본 발명에 따른 수광소자는, 이동도가 느린 정공의 이동 거리가 짧기 때문에, 응답 지연이 생기지 않아 고속 응답속도를 실현할 수 있다.

<142> 또한, 수광영역으로 사용되는 도핑 영역 상에 실리콘 산화막과 유전체 전극이 교대로 그 도핑 영역과 접하도록 패터닝하므로, 강한 역바이어스 전압에 의한 터널링 암전류 발생을 막을 수 있다. 진성 영역의 노출을 방지하도록 실리콘 산화막이 형성되어 있으므로, 측면의 표면 재결합 암전류를 저감시킬 수 있어, 암 전류가 거의 발생하지 않는다. 따라서, 노이즈가 저감되어 감도 특성이 우수하다.

<143> 또한, 수광영역으로 사용되는 도핑 영역 상에 실리콘 산화막과 유전체 전극이 교대로 그 도핑 영역과 접하도록 패터닝하면, 실리콘 산화막 패턴이 광학 박막으로서 작용을 하여 파장 선택성을 가지므로, 특정 파장영역의 광만을 수광하는 것이 가능하다.

<144> 또한, 기판 상의 수광소자를 형성할 위치에만 기판과 진성 영역 사이를 전기적으로 분리하기 위한 분리층을 형성하면, 상기 기판이 도핑 농도 및 도핑 특성에 특별한 제약

을 받지 않는다. 따라서, 본 발명에 따른 수광소자의 기판을 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 그 외의 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나용 베이스로 사용할 수 있어, 본 발명에 따른 수광소자를 포함하는 다양한 광전자 집적 회로를 구성하는 것이 가능하다.

<145> 또한, 본 발명에 따른 수광소자는 고속 응답 속도 요구 및 노이즈 저감 요구를 충분히 해결할 수 있으므로, 별 문제없이 집적화를 높여야 하는 각종 소자 예컨대, PDIC에 본 발명에 따른 수광소자를 적용하여 일체형으로 제작하는 것이 가능하다.

**【특허청구범위】****【청구항 1】**

기판과;

상기 기판 상에 위치된 진성 영역과;

상기 진성 영역에 얇은 깊이로 형성된 제1영역과;

상기 제1영역과 이격되게 상기 진성 영역에 깊은 깊이로 형성된 제2영역;을 포함하며, 상기 제1 및 제2영역은 서로 반대형으로 도핑된 것을 특징으로 하는 수광소자.

**【청구항 2】**

제1항에 있어서, 상기 제1영역은 p+형으로 도핑되어 있으며, 이 제1영역 상에는 제1영역과 불연속적으로 접하도록 패터닝된 전극;이 형성된 것을 특징으로 하는 수광소자.

**【청구항 3】**

제2항에 있어서, 상기 전극은 광을 투과시킬 수 있는 유전체 전극인 것을 특징으로 하는 수광소자.

**【청구항 4】**

제3항에 있어서, 상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 제어막 패턴이 형성되어 있으며, 상기 제1영역은 상기 제어막 패턴의 개구를 통하여 얇은 깊이로 형성되며, 상기 유전체 전극은 상기 제어막 패턴의 개구부분에서 상기 제1영역과 접하도록 된 것을 특징으로 하는 수광소자.



**【청구항 5】**

제1항에 있어서, 상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 제어막 패턴을 형성하고, 상기 제1영역은 상기 제어막 패턴의 개구를 통하여 얇은 깊이로 형성되는 것을 특징으로 하는 수광소자.

**【청구항 6】**

제4항 또는 제5항에 있어서, 상기 제어막은 실리콘 산화막인 것을 특징으로 하는 수광소자.

**【청구항 7】**

제1항 내지 제5항 중 어느 한 항에 있어서, 진성 영역의 노출을 방지하도록 실리콘 산화막이 형성된 것을 특징으로 하는 수광소자.

**【청구항 8】**

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 제1영역은 얇은 확산 또는 임플란테이션 및/또는 상기 제2영역은 깊은 확산에 의해 형성되는 것을 특징으로 하는 수광소자.

**【청구항 9】**

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기판 상에 형성되어 전기적인 절연을 제공하기 위한 분리층을 더 구비하며, 상기 기판과 진성 영역 사이는 상기 분리층에 의해 전기적으로 절연되는 것을 특징으로 하는 수광소자.

**【청구항 10】**

제9항에 있어서, 상기 분리층은 상기 기판 표면에  $O_2$ 를 주입하여 형성된 것을 특징으로 하는 수광소자.

**【청구항 11】**

제10항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 수광소자.

**【청구항 12】**

제9항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 수광소자.

**【청구항 13】**

제9항에 있어서, 복수의 수광 영역을 구비하는 구조이고, 각 수광 영역에는 진성 영역, 제1 및 제2영역이 위치되며,

상기 수광 영역들 사이에는 수광 영역들을 서로 절연하기 위한 고립 영역이 형성된 것을 특징으로 하는 수광소자.

**【청구항 14】**

제13항에 있어서, 상기 고립 영역은 절연막과 폴리 실리콘(poly-Si)으로 이루어진 것을 특징으로 하는 수광소자.

**【청구항 15】**

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 수광소자.

**【청구항 16】**

제1항 내지 제5항 중 어느 한 항에 있어서, 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로에 적용되는 것을 특징으로 하는 수광소자.

**【청구항 17】**

기판 상에 형성된 광을 수신하기 위한 적어도 하나의 수광소자를 포함하는 광전자 집적 회로에 있어서,

상기 수광소자는,

상기 기판 상에 위치한 진성 영역과;

상기 진성 영역에 얇은 깊이로 형성된 제1영역과;

상기 제1영역과 이격되게 상기 진성 영역에 깊은 깊이로 형성된 제2영역을 포함하며, 상기 제1 및 제2영역은 서로 반대형으로 도핑된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 18】**

제17항에 있어서, 상기 제1영역은 p+형으로 도핑되어 있으며, 이 제1영역 상에는 제1영역과 불연속적으로 접하도록 패터닝된 전극;이 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 19】**

제18항에 있어서, 상기 전극은 광을 투과시킬 수 있는 유전체 전극인 것을 특징으로 하는 광전자 집적 회로.

**【청구항 20】**

제19항에 있어서, 상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 제어막 패턴이 형성되어 있으며, 상기 제1영역은 상기 제어막 패턴의 개구를 통하여 얇은 깊이로 형성되며, 상기 유전체 전극은 상기 제어막 패턴의 개구부분에서 상기 제1영역과 접하도록 된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 21】**

제17항에 있어서, 상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 제어막 패턴을 형성하고, 상기 제1영역은 상기 제어막 패턴의 개구를 통하여 얇은 깊이로 형성되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 22】**

제20항 또는 제21항에 있어서, 상기 제어막은 실리콘 산화막인 것을 특징으로 하는 광전자 집적 회로.

**【청구항 23】**

제17항 내지 제21항 중 어느 한 항에 있어서, 상기 진성 영역의 노출을 방지하도록 실리콘 산화막이 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 24】**

제17항 내지 제21항 중 어느 한 항에 있어서, 상기 제1영역은 얇은 확산 또는 임플란테이션 및/또는 상기 제2영역은 깊은 확산에 의해 형성되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 25】**

제17항 내지 제21항 중 어느 한 항에 있어서, 상기 기판 상에 형성되어 전기적인 절연을 제공하기 위한 분리층;을 더 구비하며, 상기 기판과 진성 영역 사이는 상기 분리층에 의해 전기적으로 절연되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 26】**

제25항에 있어서, 상기 분리층은 상기 기판 표면에  $O_2$ 를 주입하여 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 27】**

제26항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 28】**

제25항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 29】**

제25항에 있어서, 상기 수광소자는 복수의 수광 영역을 구비하는 구조이고, 각 수광 영역에는 진성 영역, 제1 및 제2영역이 위치되며, 상기 수광 영역들 사이에는 수광 영역들을 서로 절연하기 위한 고립 영역이 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 30】**

제29항에 있어서, 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광 모듈, 광픽업용 광모듈, 수광소자를 포함하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나로 사용되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 31】**

제25항에 있어서, 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광 모듈, 광픽업용 광모듈, 수광소자를 포함하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나로 사용되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 32】**

제17항 내지 제21항 중 어느 한 항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성된 것을 특징으로 하는 광전자 집적 회로.

**【청구항 33】**

제17항 내지 제21항 중 어느 한 항에 있어서, 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광 모듈, 광픽업용 광모듈, 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나로 사용되는 것을 특징으로 하는 광전자 집적 회로.

**【청구항 34】**

제33항에 있어서, 상기 수광소자가 2차원 어레이로 배치되어 단색 또는 칼라 촬상소자로 사용 가능한 것을 특징으로 하는 광전자 집적 회로.

**【청구항 35】**

기판을 준비하는 단계와;

상기 기판 위에 진성 영역을 형성하는 단계와;

상기 진성 영역에 서로 이격되고, 각각 얇은 깊이 및 깊은 깊이이고, 서로 반대형으로 도핑된 제1 및 제2영역을 형성하는 단계;를 포함하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 36】**

제35항에 있어서, 상기 제1영역은 p+형으로 도핑 형성되며, 상기 제1영역 상에 제1 영역과 불연속적으로 접하도록 패터닝된 전극을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 37】**

제36항에 있어서, 상기 전극은 광을 투과시킬 수 있는 유전체 전극인 것을 특징으로 하는 수광소자 제조방법.

**【청구항 38】**

제35항에 있어서, 상기 제1영역을 형성하고자 하는 진성 영역 표면을 포함하는 적어도 일부 영역에 복수의 개구를 가지는 불연속적인 실리콘 제어막 패턴을 형성하는 단계;를 더 포함하며, 상기 제어막 패턴의 개구를 통하여 얇은 깊이의 제1영역을 형성하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 39】**

제38항에 있어서, 상기 제어막 패턴의 개구 부분에서 상기 제1영역과 접하도록 유전체 전극을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 40】**

제38항 또는 제39항에 있어서, 상기 제어막은 실리콘 산화막인 것을 특징으로 하는 수광소자 제조방법.



**【청구항 41】**

제35항 내지 제39항 중 어느 한 항에 있어서, 상기 진성 영역의 노출을 방지하도록 실리콘 산화막을 형성하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 42】**

제35항 내지 제39항 중 어느 한 항에 있어서, 상기 제1영역은 얇은 확산 공정 또는 임플란테이션 공정 및/또는 상기 제2영역은 깊은 확산 공정에 의해 형성되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 43】**

제35항 내지 제39항 중 어느 한 항에 있어서, 상기 진성 영역을 형성하기 전에 상기 기판 상에 전기적인 절연을 제공하기 위한 분리층을 형성하는 단계;를 더 포함하며, 상기 기판과 진성 영역 사이는 상기 분리층에 의해 전기적으로 절연되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 44】**

제43항에 있어서, 상기 분리층은 상기 기판 표면에  $O_2$ 를 주입하여 형성되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 45】**

제44항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 46】**

제43항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 47】**

제35항 내지 제39항 중 어느 한 항에 있어서, 상기 기판은 실리콘에 기반을 두고 있으며, 상기 진성 영역은 실리콘에 기반을 둔 물질을 regrowth하여 형성되는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 48】**

제35항 내지 제39항 중 어느 한 항에 있어서, 진성 영역 및 제1 및 제2영역을 구비하는 수광영역들 사이를 서로 절연하기 위한 고립 영역을 형성하는 단계;를 더 포함하여, 1차원 또는 2차원으로 배열된 복수의 수광 영역을 갖는 수광소자를 형성하는 것을 특징으로 하는 수광소자 제조방법.

**【청구항 49】**

제48항에 있어서, 상기 고립 영역은 절연막과 폴리 실리콘(poly-Si)으로 이루어진 것을 특징으로 하는 수광소자 제조방법.

**【청구항 50】**

제35항 내지 제39항 중 어느 한 항에 있어서, 상기 기판은 광통신용 수광소자, 광픽업용 수광소자, 반도체 레이저 및 수광소자가 일체화된 광통신용 광모듈, 광픽업용 광모듈, 수광소자를 구비하는 다양한 광학 벤치 및 단일 수광소자를 구비하거나 복수의 수

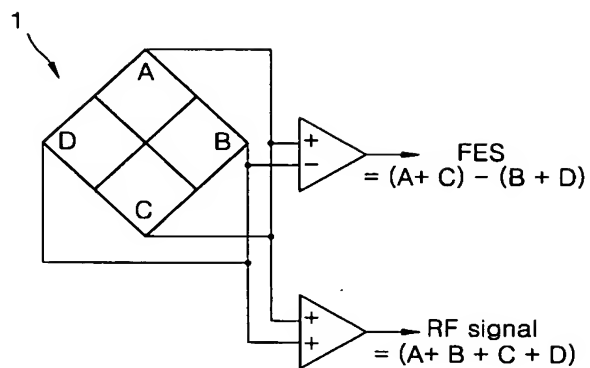
1020030011639

출력 일자: 2003/3/14

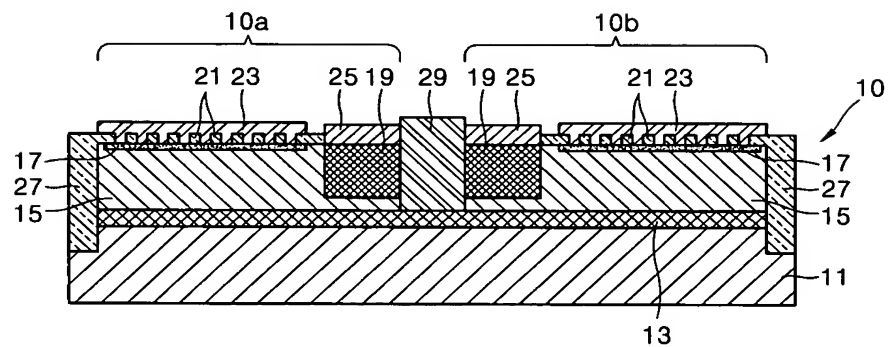
광소자가 1차원 또는 2차원 어레이로 배치된 다양한 광전자 집적 회로 중 적어도 어느 하나용 베이스로 사용되는 것을 특징으로 하는 수광소자 제조방법.

## 【도면】

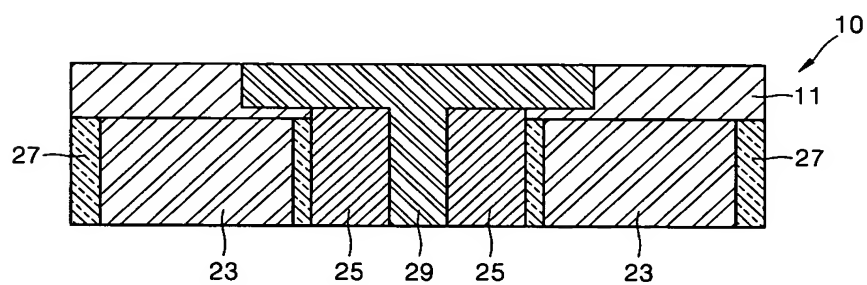
【도 1】



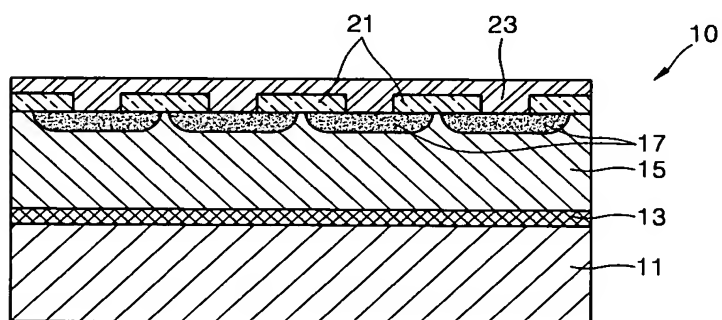
【도 2】



【도 3】



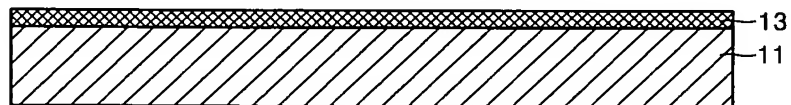
【도 4】



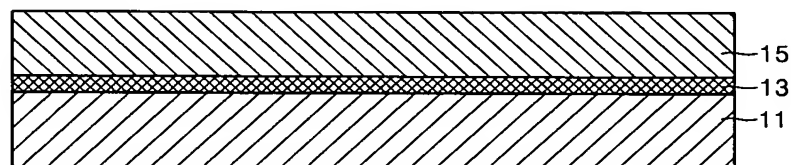
【도 5】



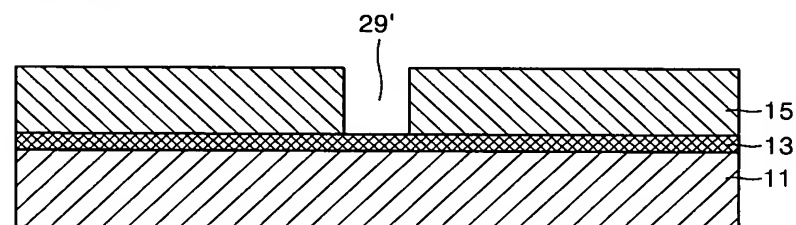
【도 6】



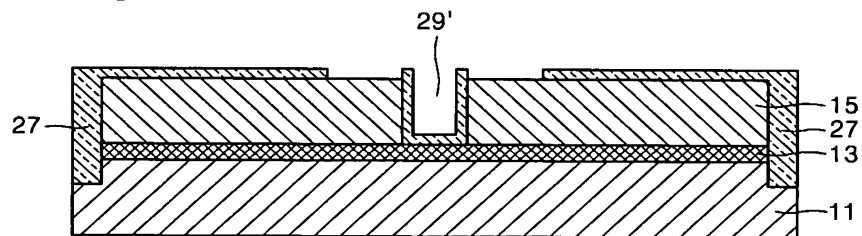
【도 7】



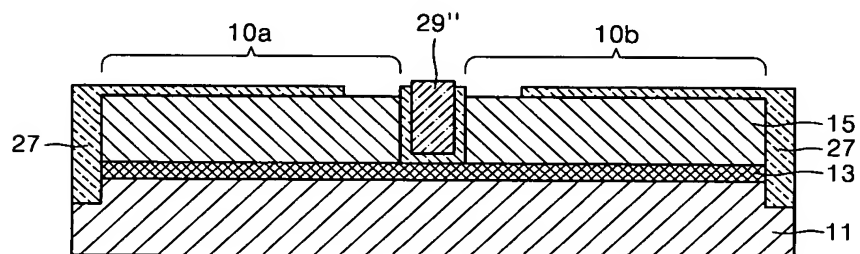
【도 8a】



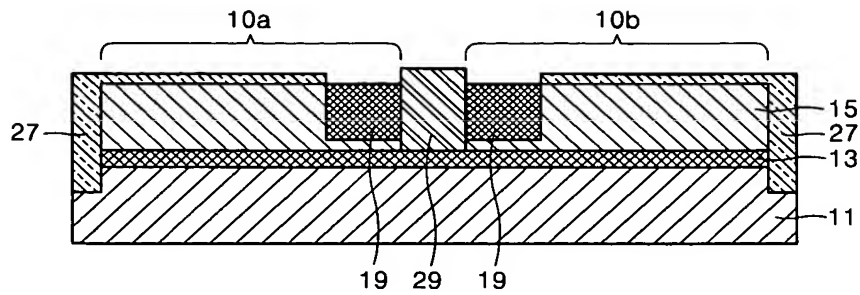
【도 8b】



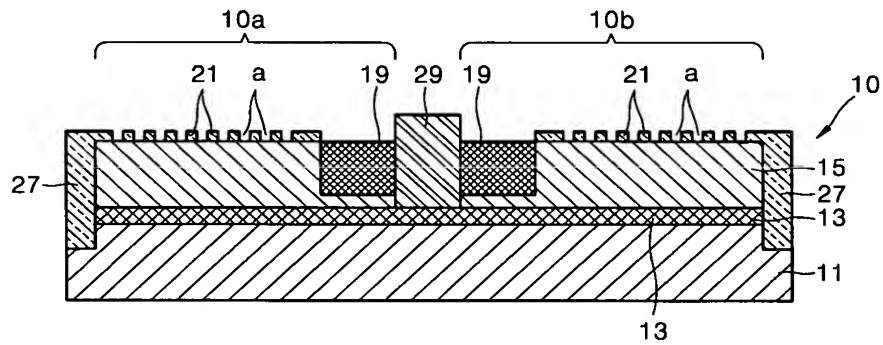
【도 9】



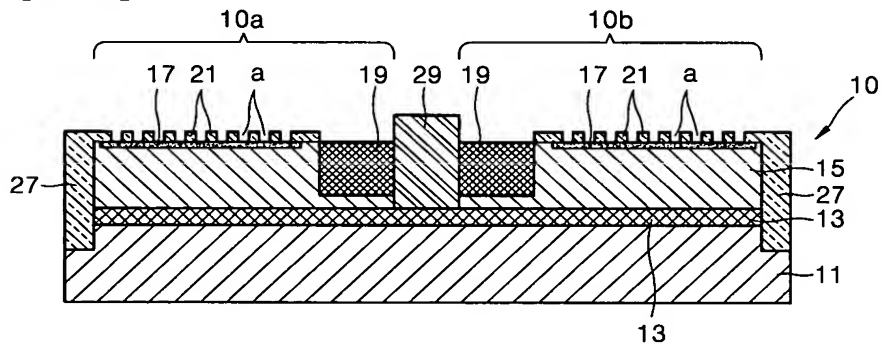
【도 10】



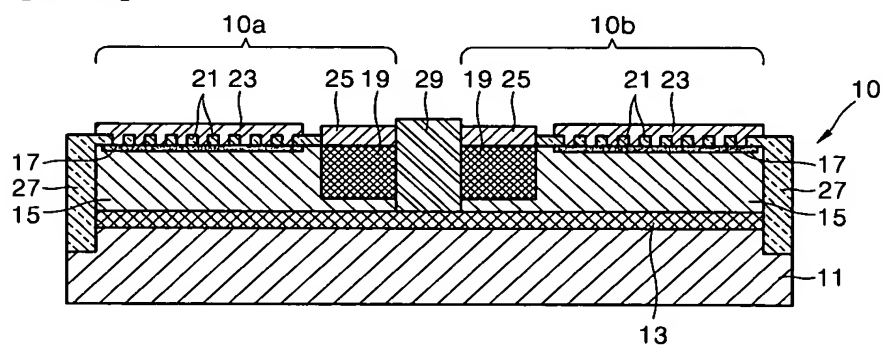
【도 11】



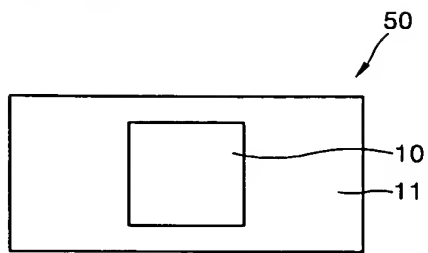
【도 12】



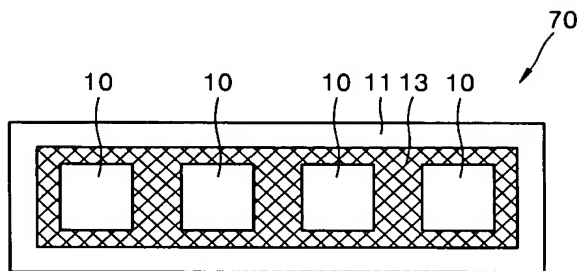
【도 13】



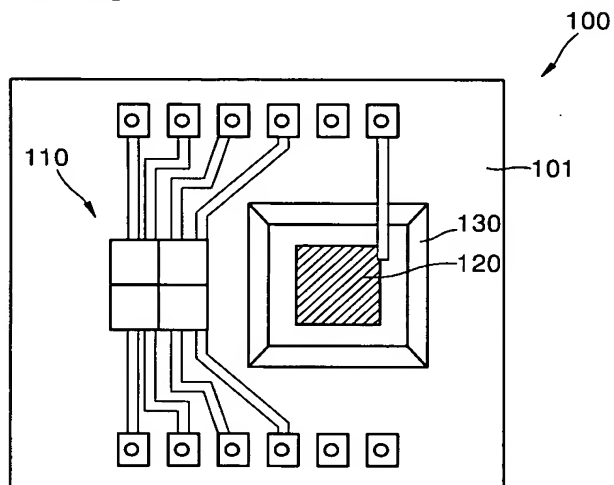
【도 14a】



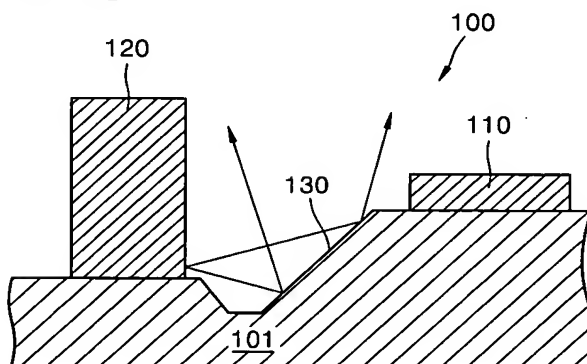
【도 14b】



【도 15】



【도 16】



【도 17】

